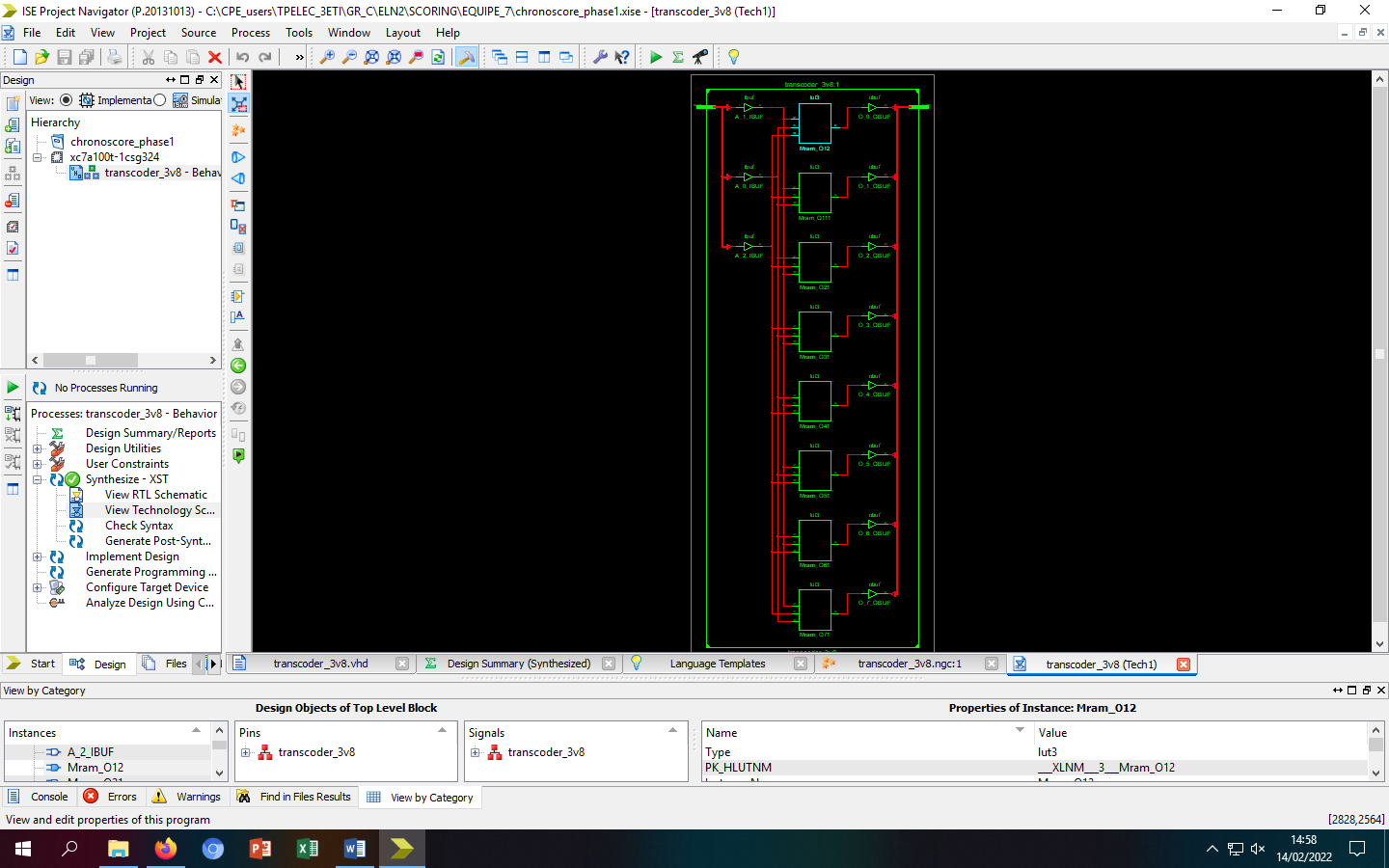
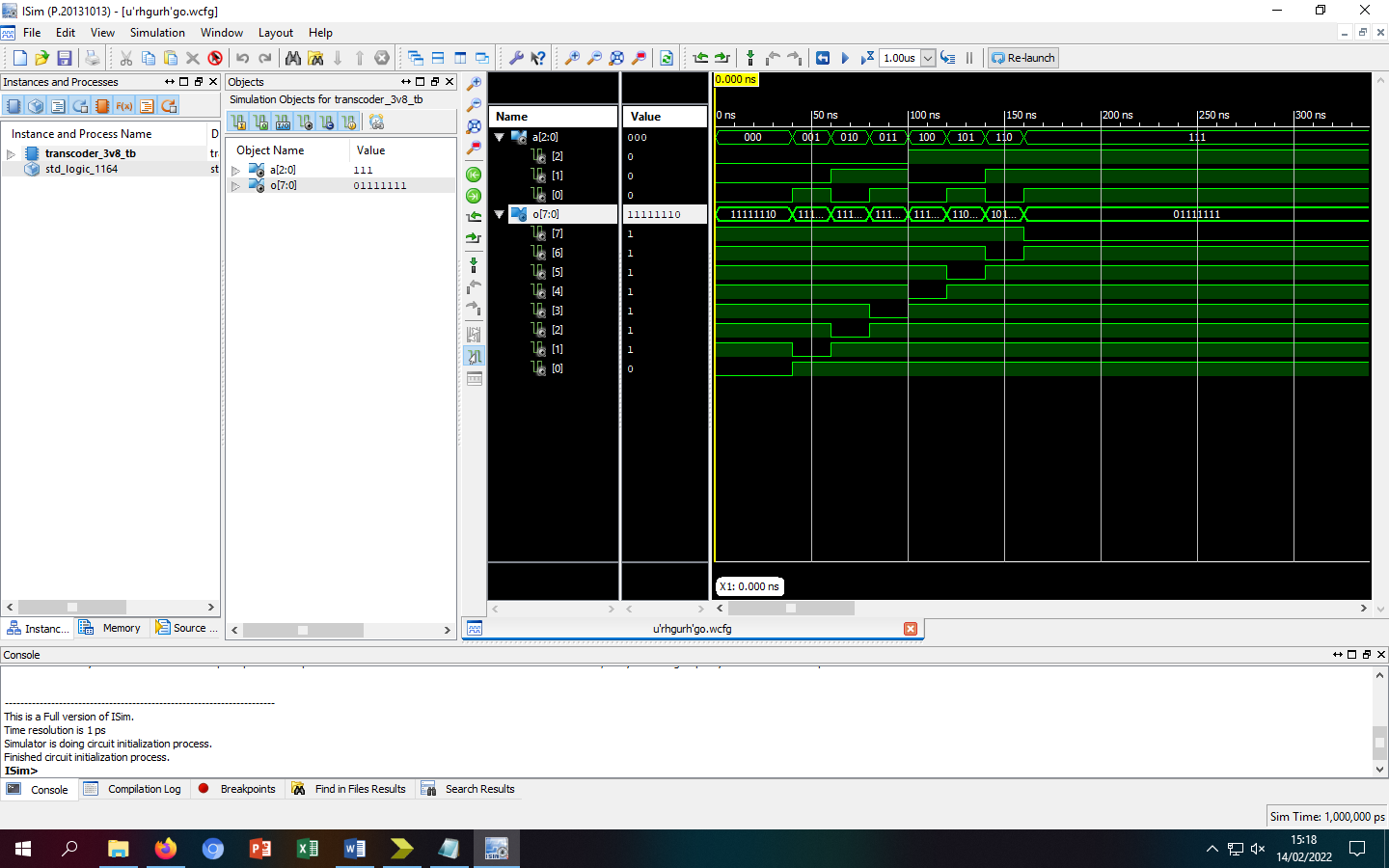
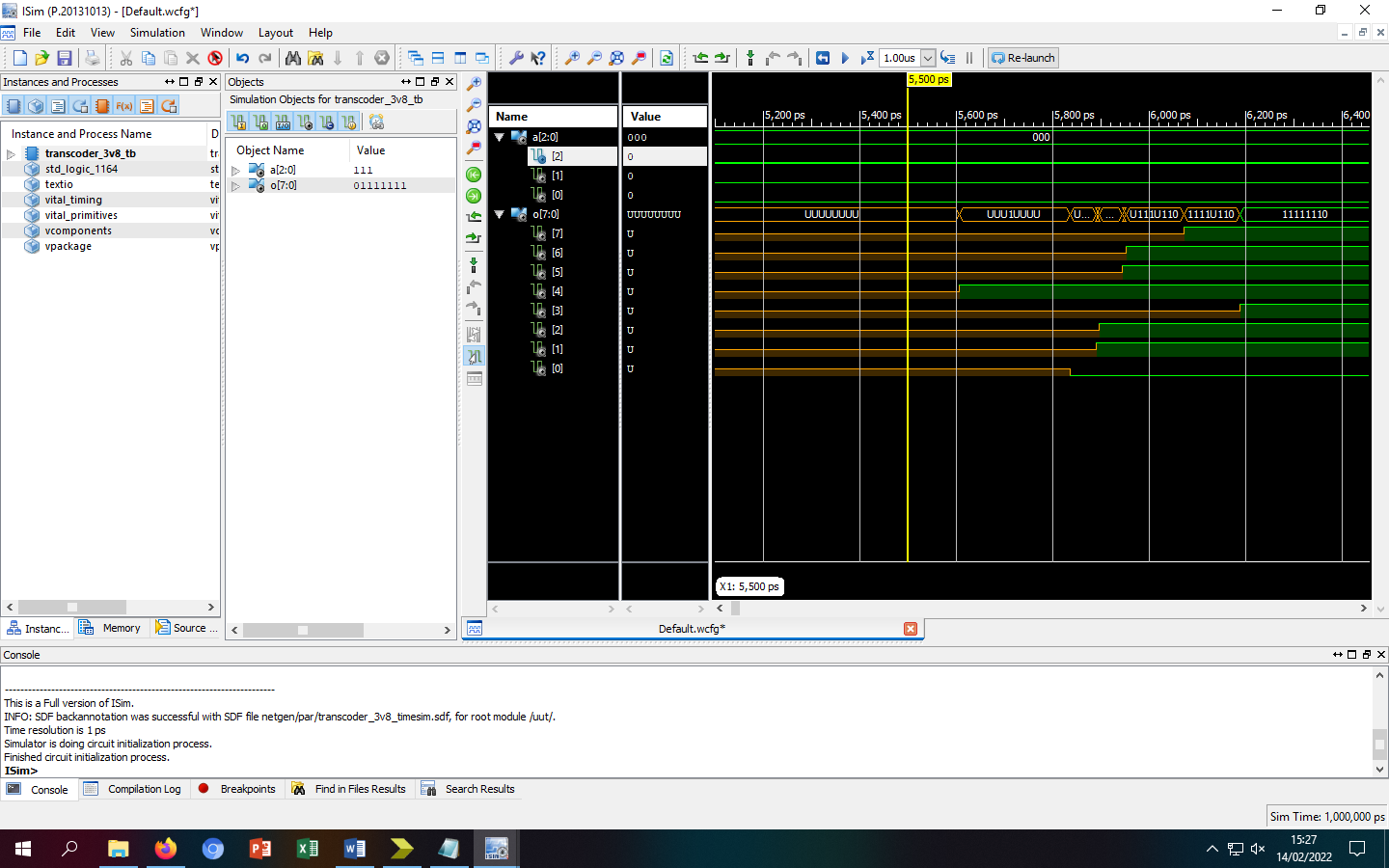
Transcoder\_3v8



Vue technologique



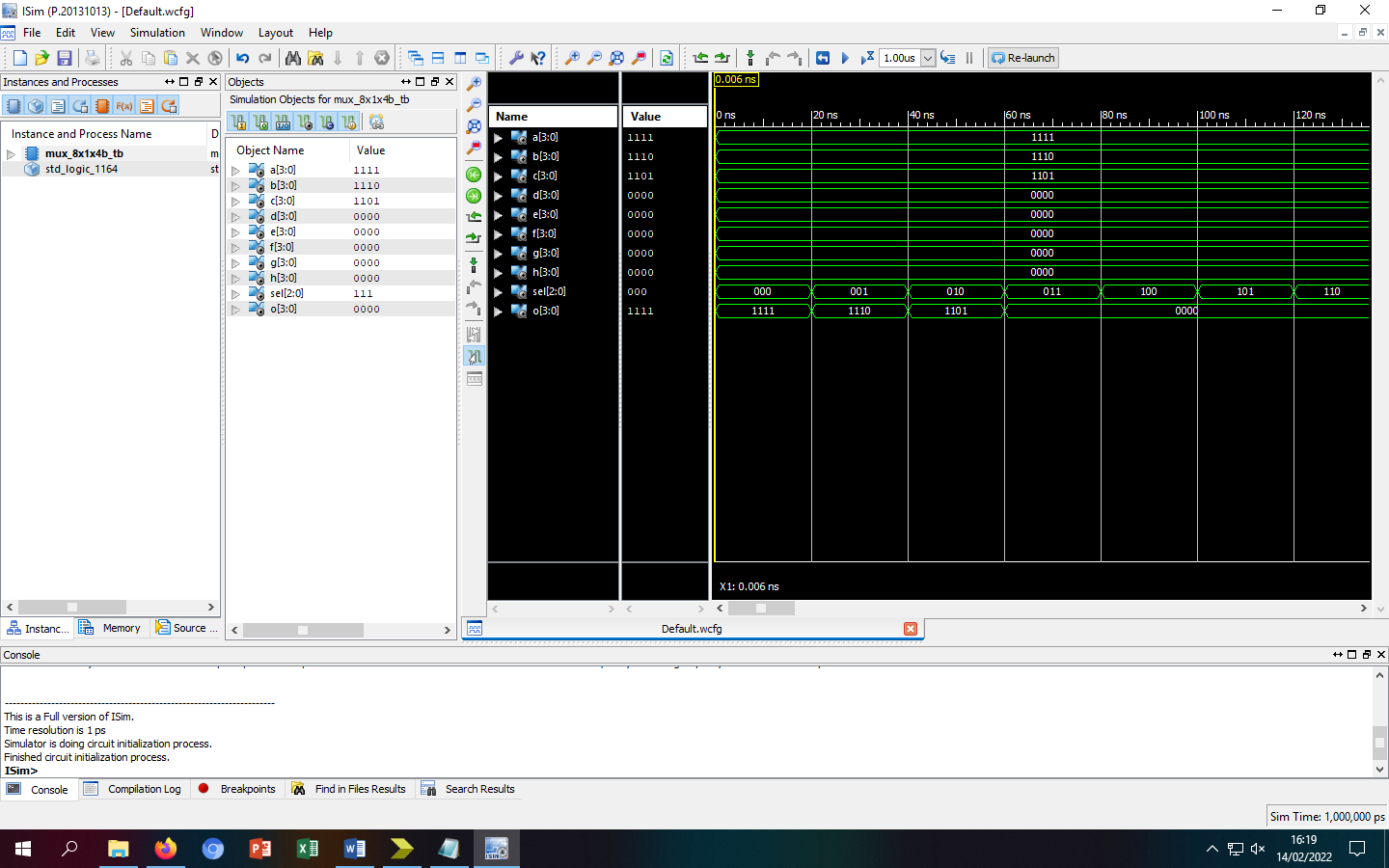
Behavioral du test bench (simulation théorique idéale)



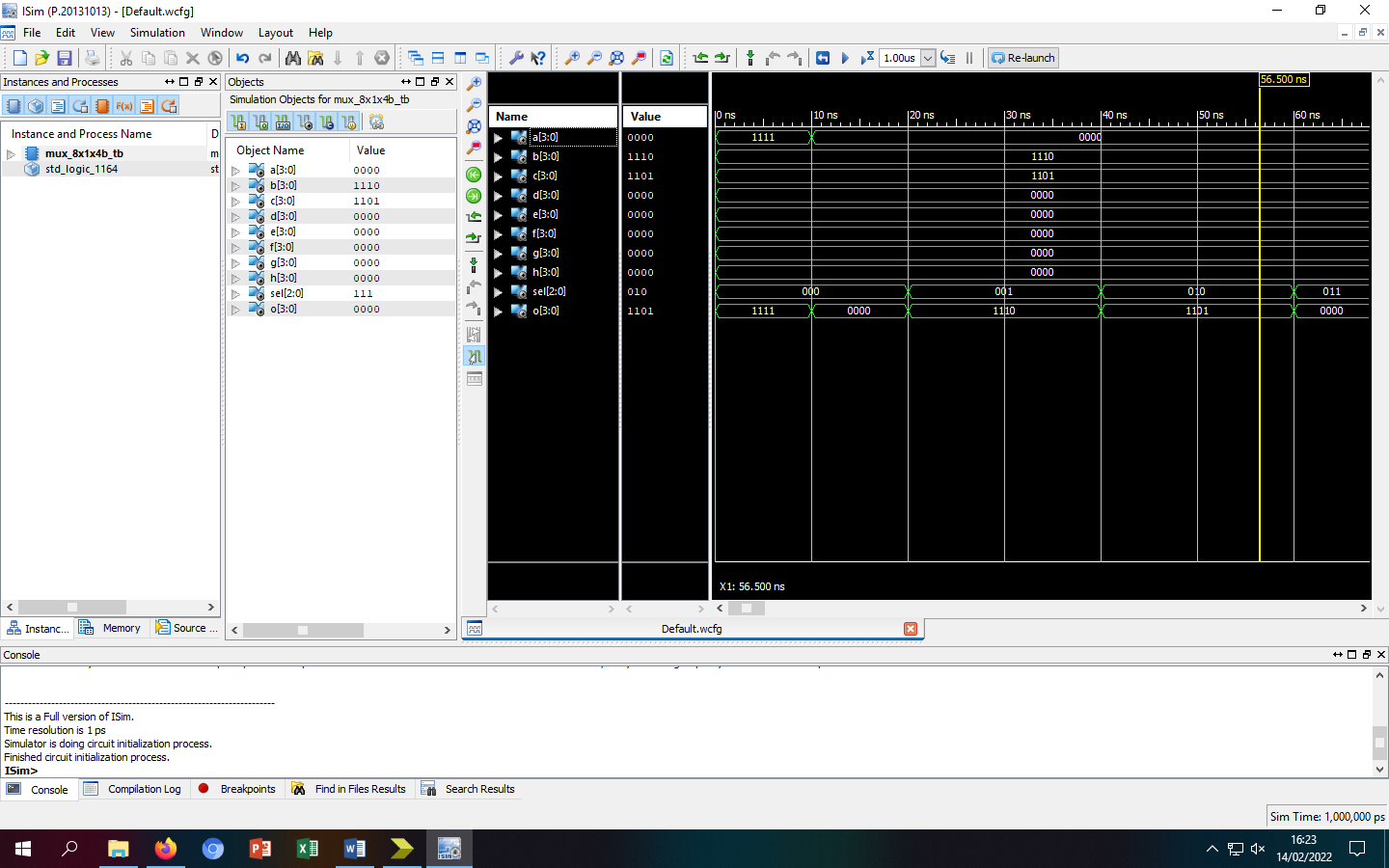
Simulation post-route (physiquement ce qui se passe) on observe un retard dû aux chemins/bascules empruntés portes logiques

MUX 8x1x4b

Simulation behavioral



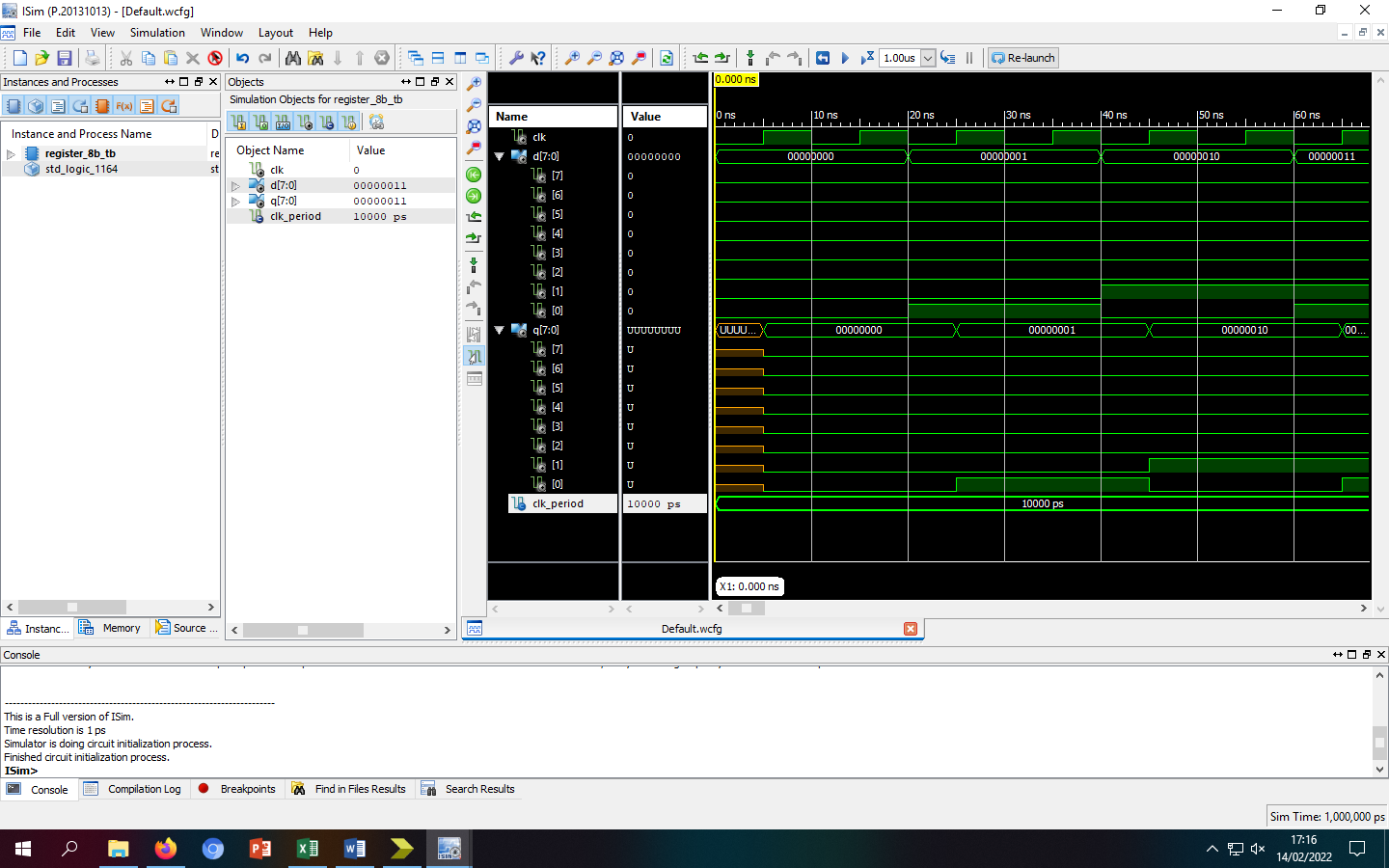
Ici tout marche bien (meilleur cas possible)



Le système marche, ici on a changé le signal A au milieu d’une période du sélecteur, la sortie suit.

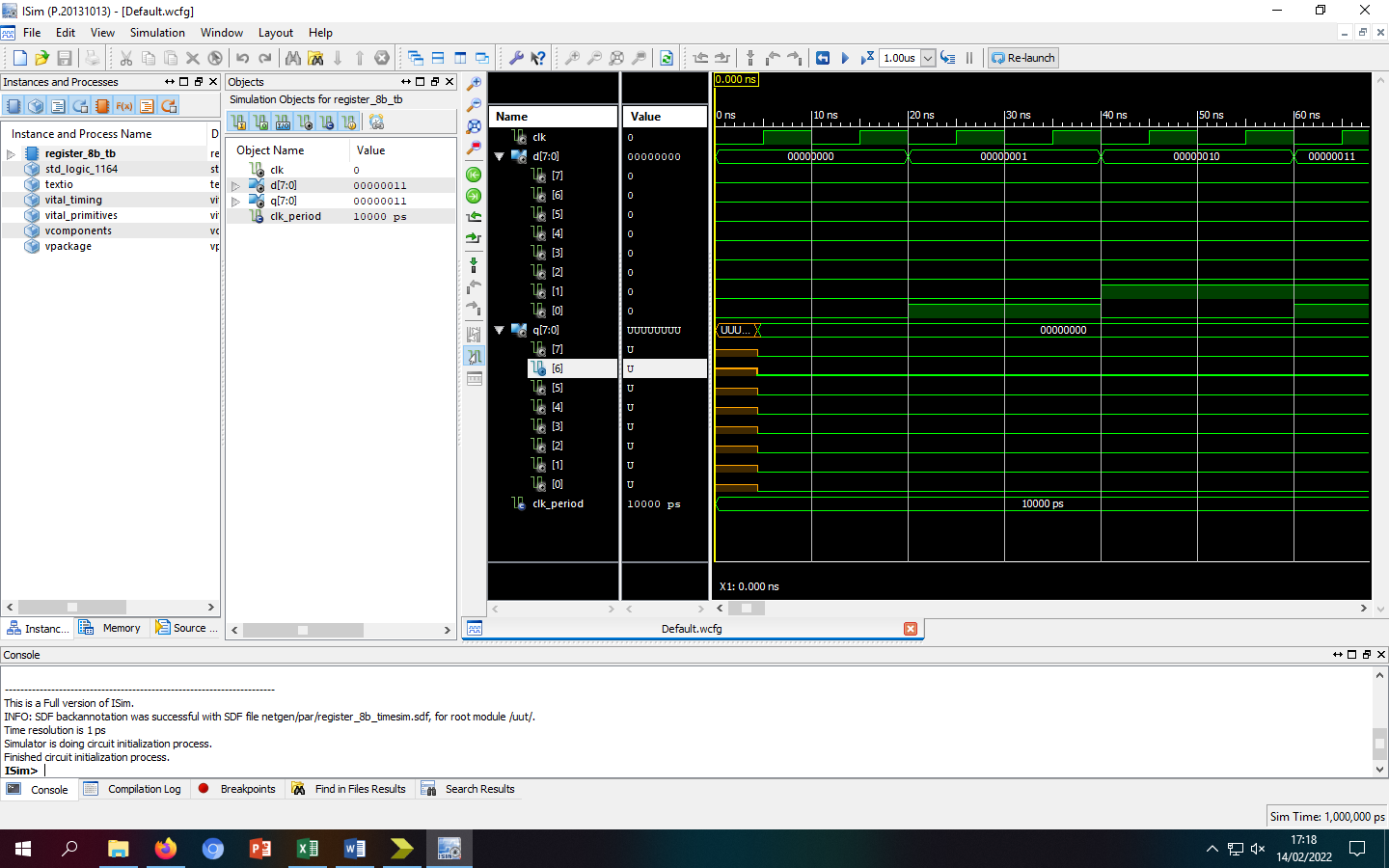
Register\_8b

Behavioral



A chaque front montant de la clock, la sortie Q prend la valeur de l’entrée D.

Post-route



100 ns parce que c’est le tps que les bascules ont besoin pour se reset, décharger les capa…